

Esercizio 7

Progettare il Sottosistema di Calcolo (SCA) e il Sottosistema di Controllo (SCO) di un processore RISC, con organizzazione multiciclo e pipeline (in quest'ultimo caso con il minor numero di stadi) atti a supportare l'esecuzione delle istruzioni i "controllo di uguaglianza di un immediato" e "addizione floating point".

sintassi
equal \$regdest, \$regsorg, valore

semantica
(se \$regsorg = valore allora \$regdest = 1
altrimenti \$regdest = 0)

adf \$regdest, \$regsorg1, \$regsorg2

(\$regdest = \$regsorg1 + \$regsorg2)

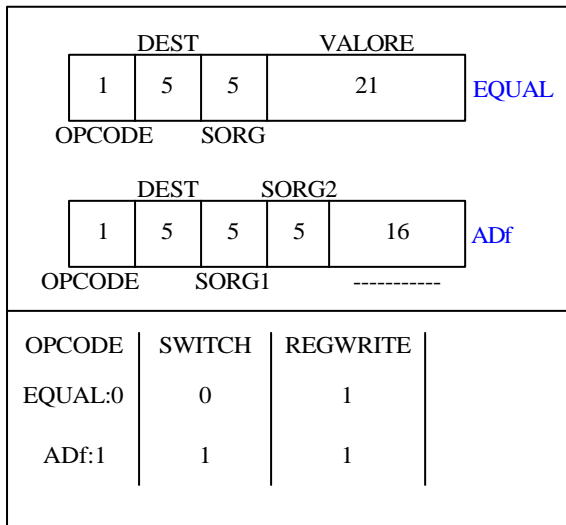
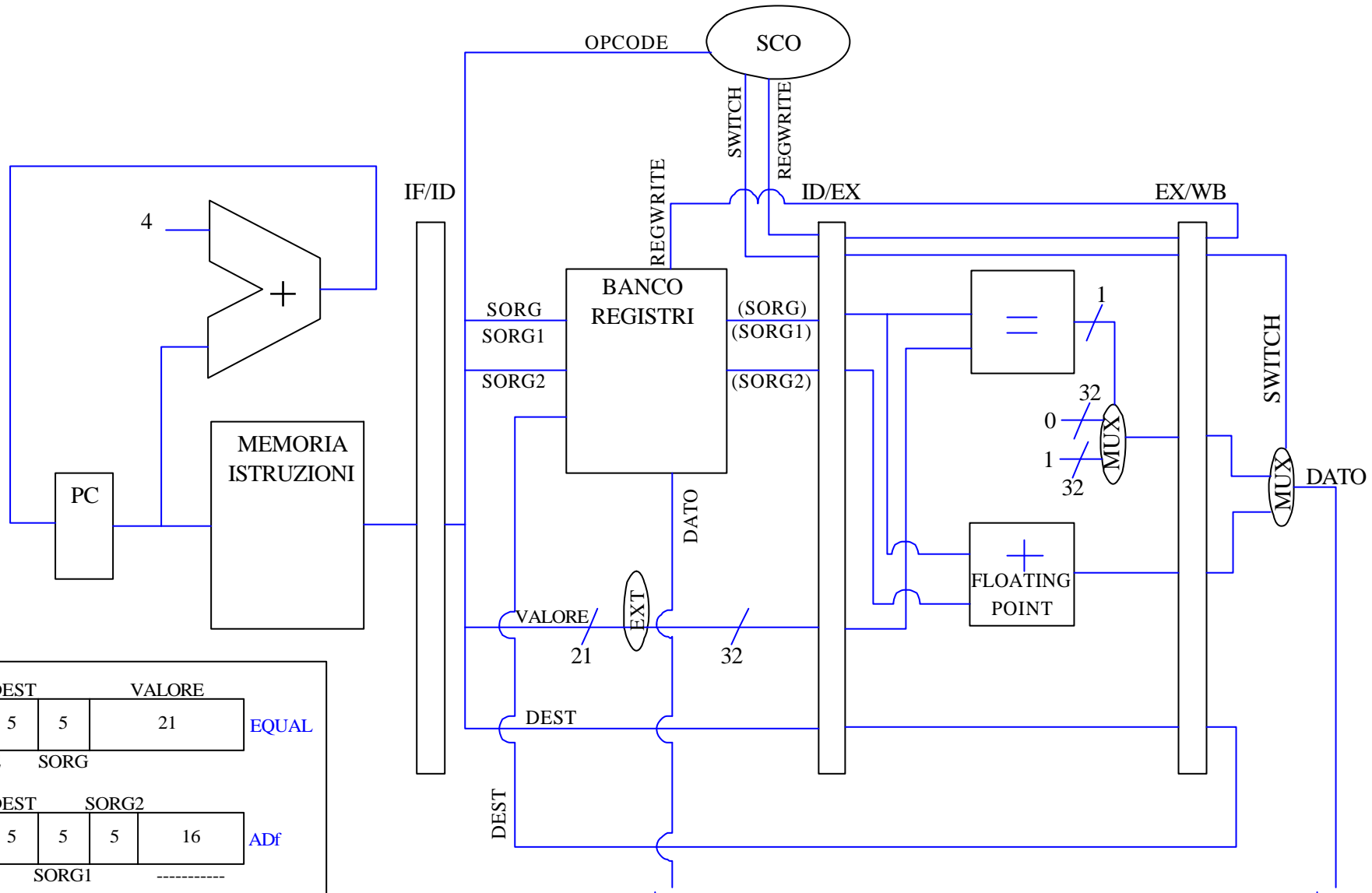
Descrivere il formato delle istruzioni ipotizzando che siano visibili 32 registri, che non ci siano altre istruzioni e che il numero di bit a disposizione sia 32. Ipotizzare di avere a disposizione anche una unità di addizione floating point. Nel progetto non ci si preoccupi di come sono memorizzate le informazioni nei registri.

Esercizio 8

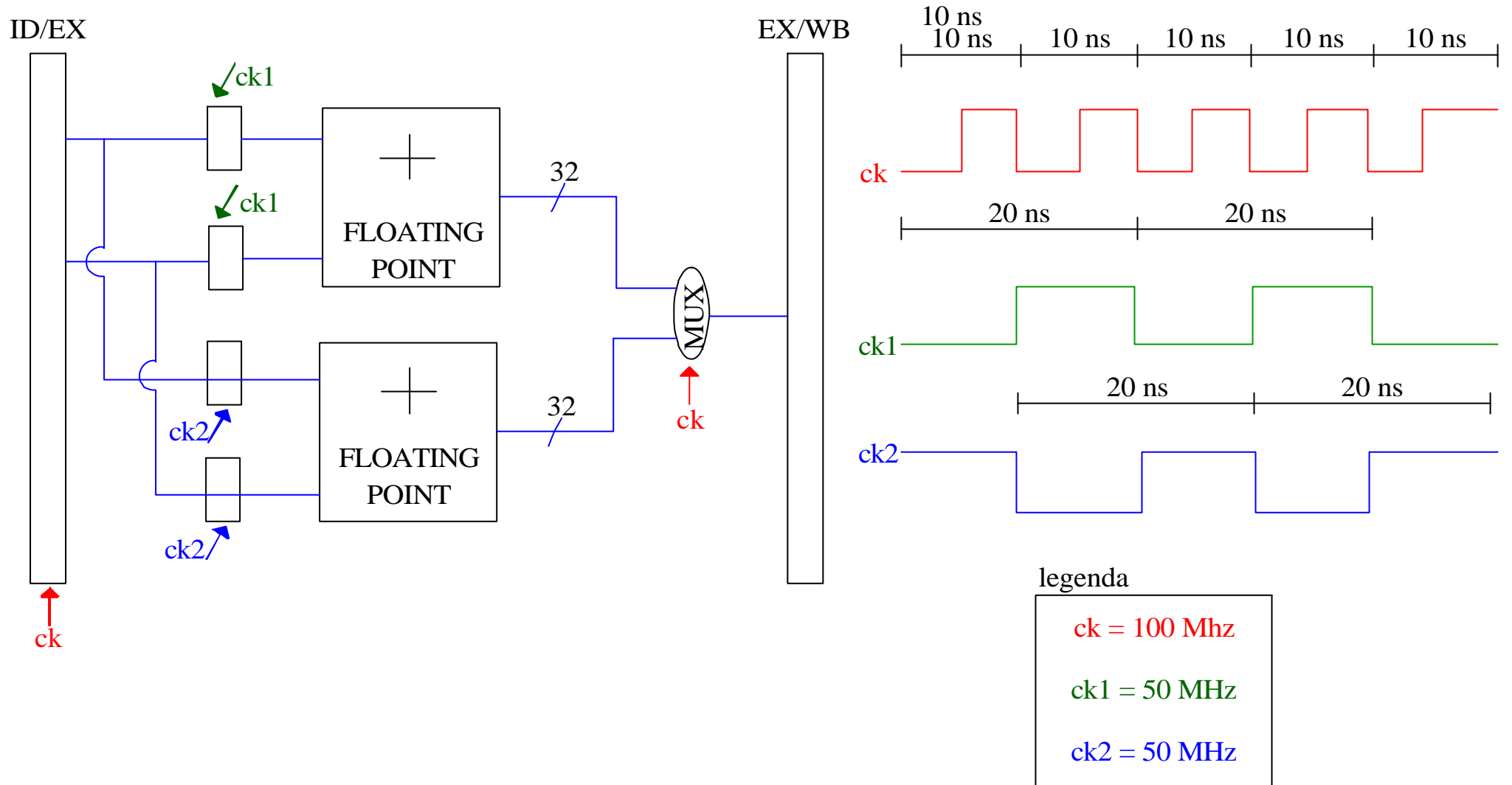
Modificare l'architettura pipeline dell'esercizio precedente per poter eseguire istruzioni a 100 MHz considerando che i tempi caratteristici di calcolo o di accesso e di memorizzazione dei moduli siano i seguenti:

- tempo di accesso della memoria cache 7 nsec;
- tempo di calcolo dell'addizionatore a numeri interi 5 nsec;
- tempo di calcolo dell'addizionatore floating point 18 nsec;
- tempo di lettura/scrittura del banco dei registri 5 nsec.

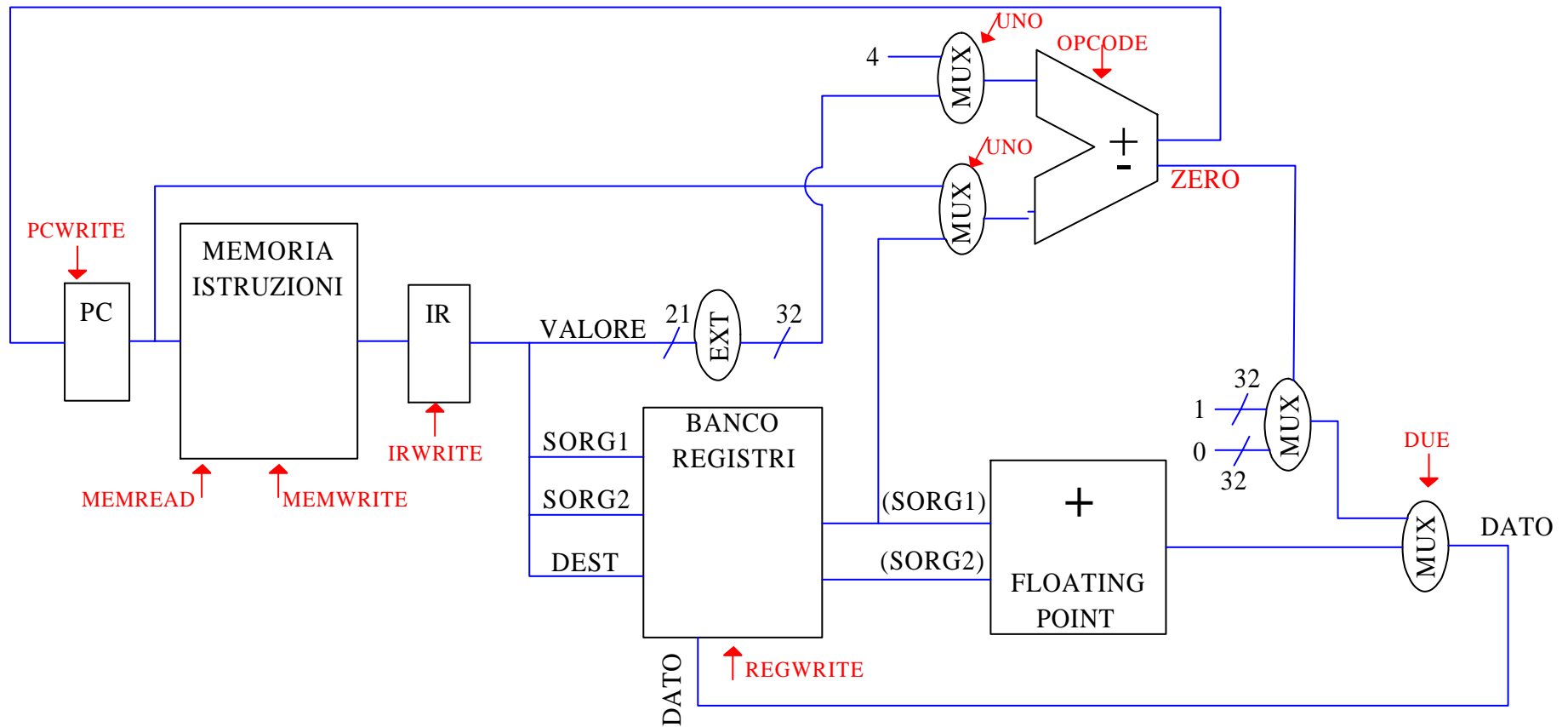
Si ipotizzi che tutti gli altri tempi siano trascurabili.



MODIFICA A 100 MHz



MULTICICLO



SCO MULTICICLO

