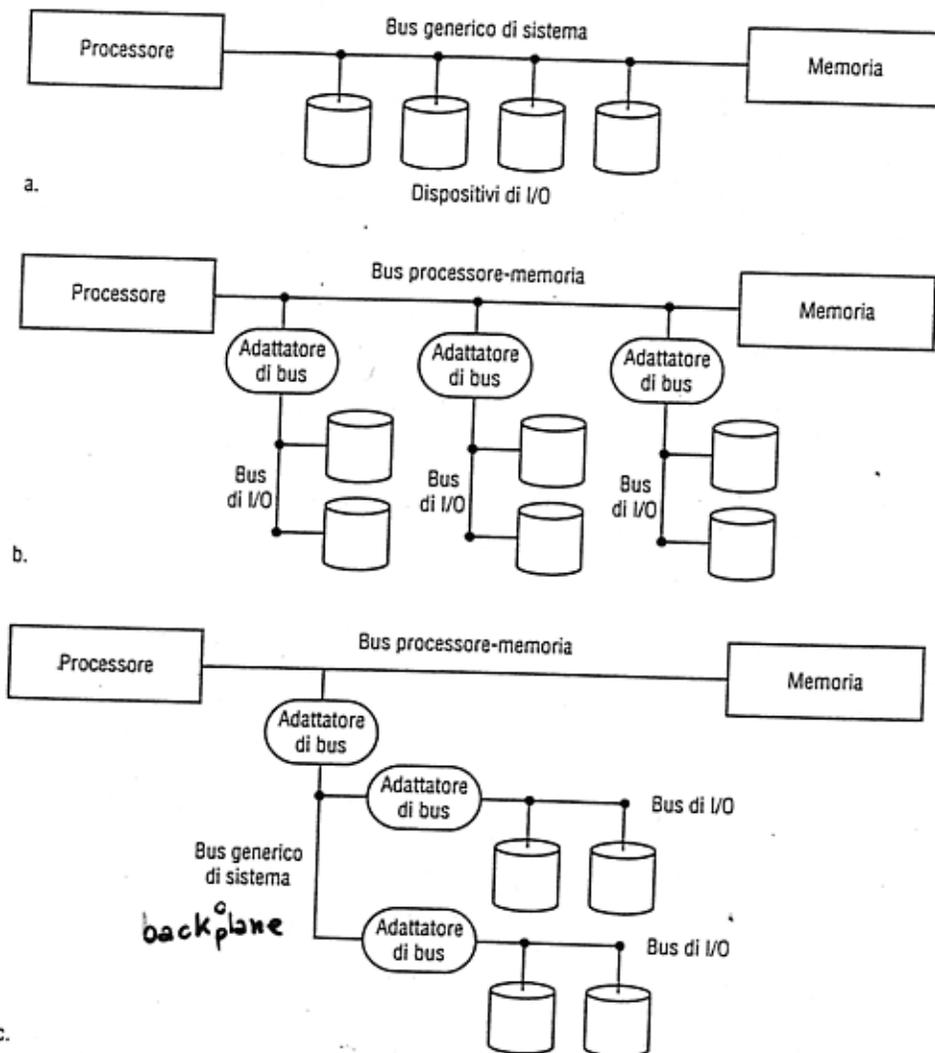


TIPICI DI BUS

PROCESSORE
MEMORIA

di
I/O

GENERICI
di
SISTEMA



SOLUZIONE
PC-IBM-AT

SOLUZIONE
Macintosh II:
- NuBus
- SCSI

FIGURA 8.9 Molte macchine adottano un singolo bus generico di sistema sia per il traffico dal processore alla memoria che per quello di I/O. Alcune macchine di elevate prestazioni utilizzano un bus processore-memoria separato, a cui viene collegato il bus di I/O. Altri sistemi fanno uso di tutti i tre tipi di bus, organizzati a formare una gerarchia. (a) Un bus singolo. Il bus utilizzato in un PC IBM ha questa struttura. (b) Un bus separato viene utilizzato per il traffico tra processore e memoria. Per trasferire dati tra memoria e dispositivi di I/O, il bus di I/O si interfaccia al bus processore-memoria tramite un opportuno adattatore del bus. Questo adattatore è responsabile della conversione di velocità oltre che della comunicazione tra i due bus. In un Apple Macintosh II, il bus processore-memoria è un NuBus (un bus generico di sistema) a cui i dispositivi di I/O possono collegarsi direttamente oppure attraverso un bus di I/O inserito nel NuBus, quest'ultimo bus di I/O è un bus SCSI. (c) Un bus separato viene utilizzato per il traffico tra processore e memoria. Un piccolo numero di bus generici di sistema è collegato al bus processore-memoria. Il bus generico di sistema si interfaccia con il bus di I/O di livello inferiore. Questo di solito viene realizzato con un controllore integrato in un singolo chip, come per esempio un controllore SCSI del bus. Un vantaggio di questa organizzazione viene dal fatto che si riesce a limitare il numero dei collegamenti al bus processore-memoria.

MODALITA' TRASMISSIONE DATI SUI BUS

BUS SINCRONI

BUS ASINCRONI

↓
presenza del segnale
di CK sul bus

↓
comunicazioni basate
sul protocollo tipo
hand-shaking

BUS SINCRONI

La trasmissione dati è sincronizzata al CK presente sul bus

VANTAGGI : il bus può funzionare a velocità elevata

SVANTAGGI : ► tutti i dispositivi "debbono" funzionare alla stessa frequenza, altrimenti vedere accorgimento WAIT che rallenta velocità SCO della CPU

► a causa sfasamento del CK i bus sincroni non possono essere fisicamente lunghi se supportano un CK veloce

CONCLUSIONI : ottimo per BUS PROCESSORE MEMORIA

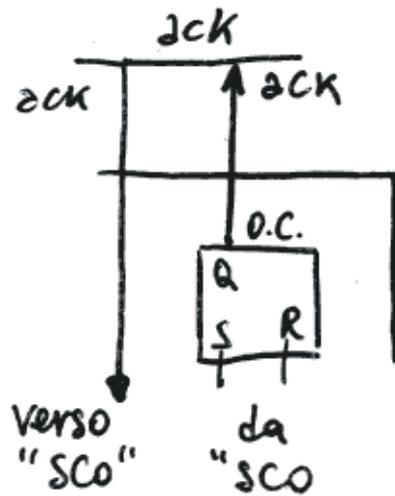
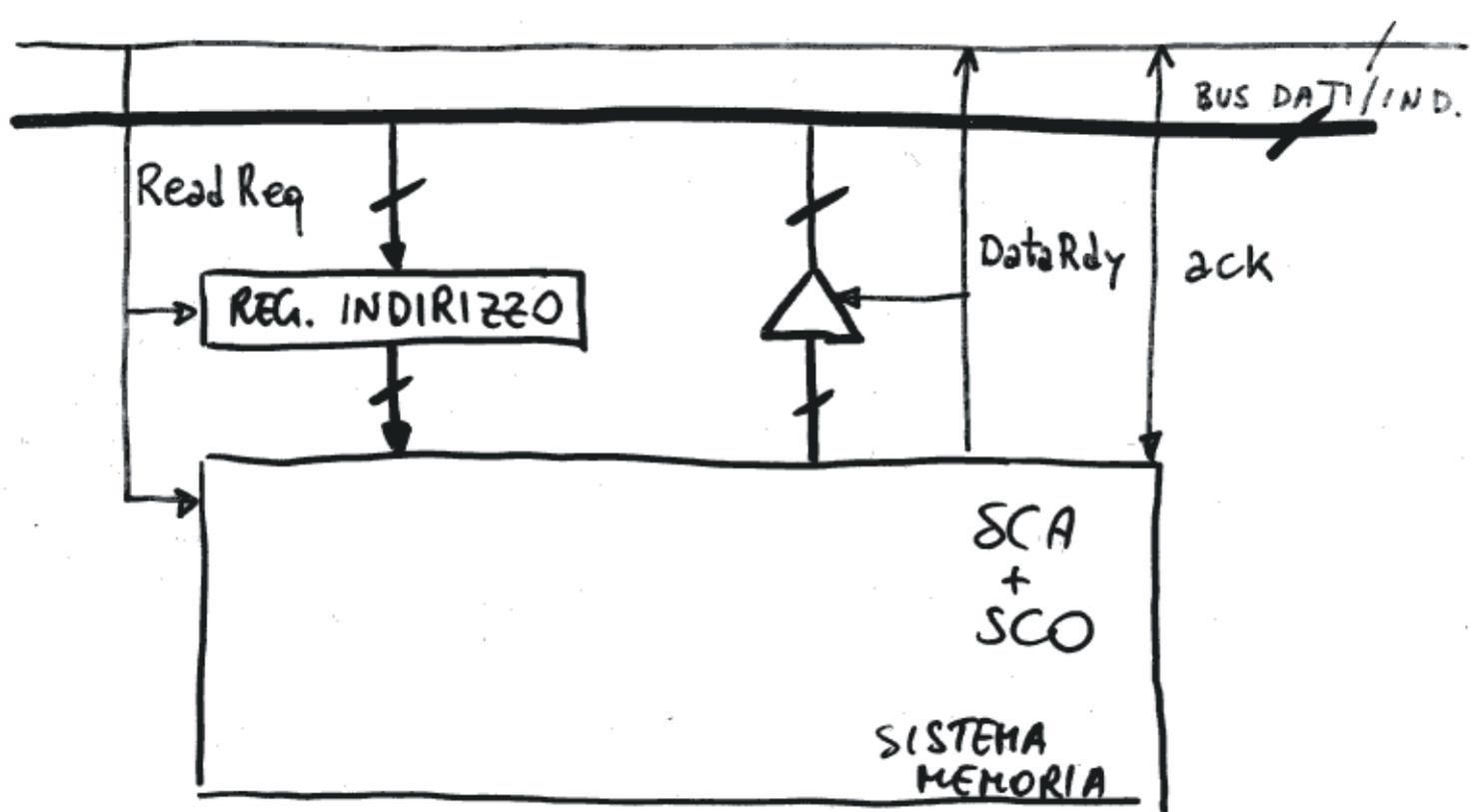
BUS ASINCRONI

basati sul protocollo di hand-shaking
multiplexing del bus

caso con tre linee di controllo

comunicazione tra un dispositivo di I/O e la mem
il dispositivo richiede alla memoria un dato

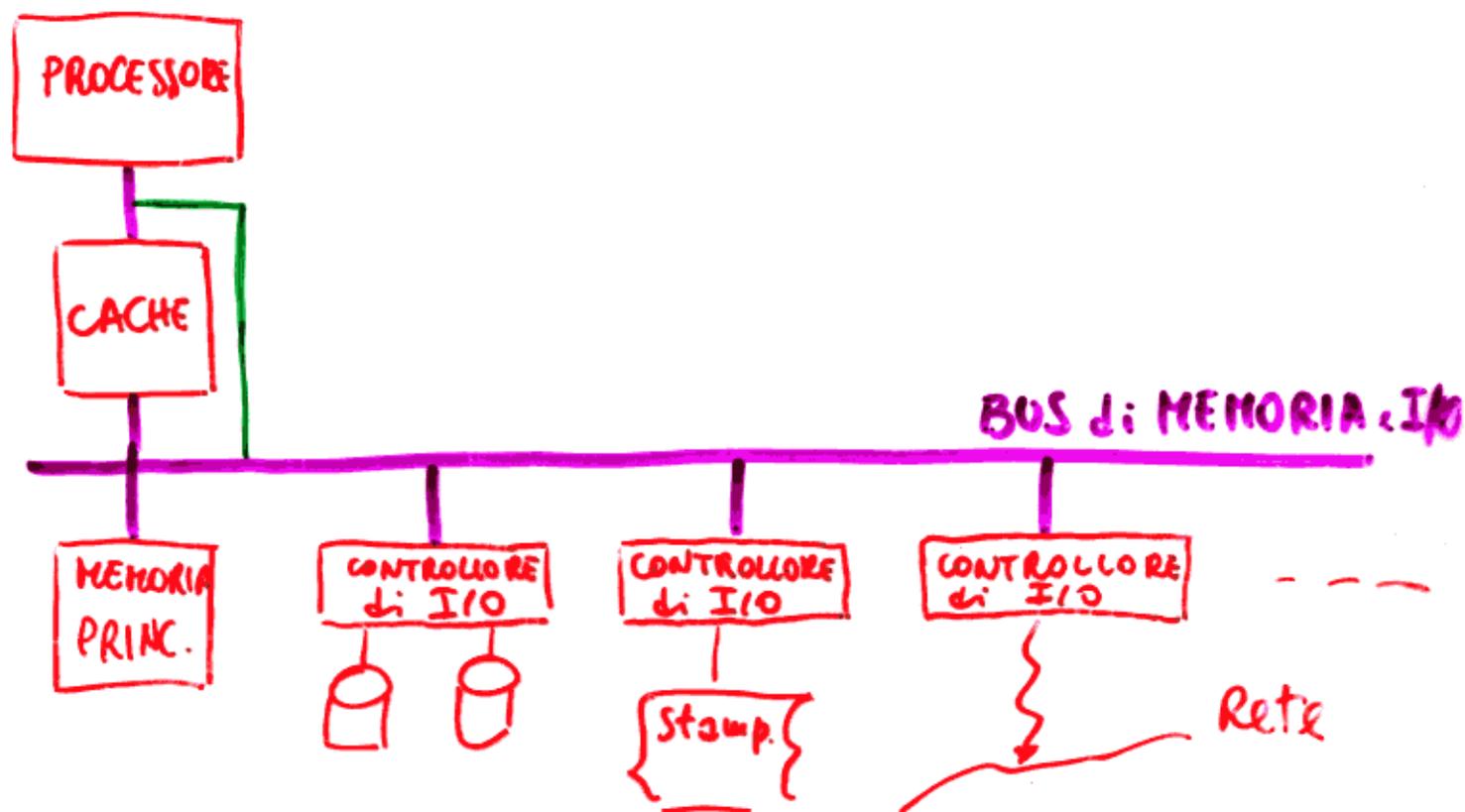
- ① Read Req: utilizzata per indicare alla memoria la presenza di una richiesta di lettura. L'indirizzo viene messo nello stesso istan sulle linee dati/indirizzi
- ② Data Rdy: utilizzato per indicare che la parola di dati è pronta sulle linee dati/indirizzi
- ③ Ack: utilizzato per dare un segnale di riscontro ai segnali Read Req e Data Rdy provenienti dall'altro dispositivo con cui si comunica



INTERFACCIA

PROCESSORE

PERIFERICHE



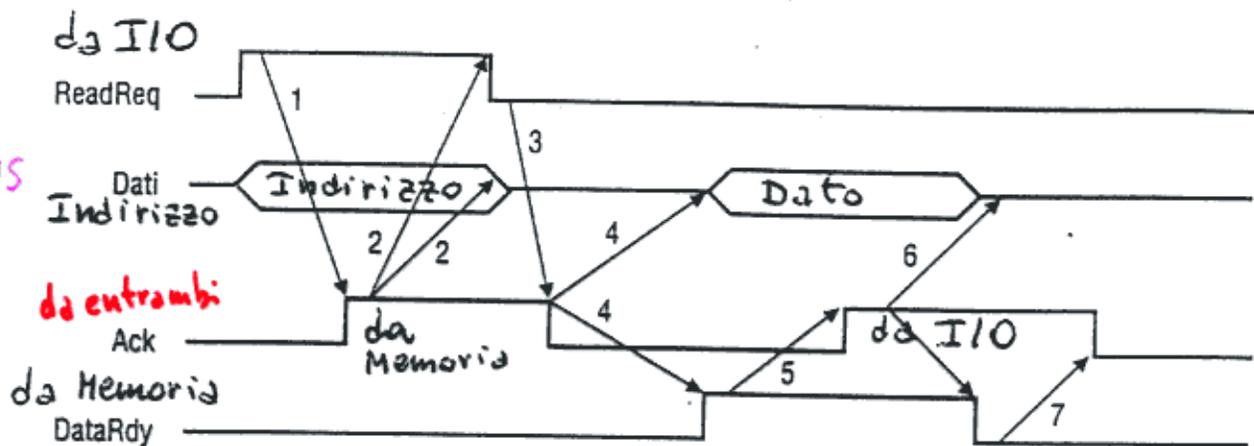
CPU - CACHE - MEMORIA PRINC. - RETI - CONTROLLORI di I/O etc.

"elettronici" \rightarrow "velocità" nanosec.

DISCHI - NASTRI - STAMPANTI - PLOTTER - TASTIERA - MOUSE ... etc

presenza componente "elettromagnetico"
etc
"elettromeccanica"

"velocità" millisee.



I passi del protocollo iniziano subito dopo che il dispositivo ha segnalato una richiesta attivando la linea ReadReq e immettendo nello stesso istante l'indirizzo della parola desiderata sulle linee dati:

1. Quando la memoria osserva la linea ReadReq, legge l'indirizzo dal bus dati e abilita la linea Ack per indicare che l'indirizzo è stato prelevato.
2. Il dispositivo di I/O vede la linea di Ack abilitata e rilascia la linea ReadReq e le linee dati.
3. La memoria vede che ReadReq è disabilitata e abbassa anche la linea Ack per dare un riscontro al segnale ReadReq.
4. Questo passo parte quando la memoria ha i dati pronti: allora provvede a trasferire i dati richiesti sulle linee dati e abilita DataRdy.
5. Il dispositivo di I/O osserva DataRdy e vede il segnale di abilitazione, legge i dati dal bus e segnala che ha prelevato i dati abilitando Ack.
6. La memoria vede il segnale Ack, abbassa la linea DataRdy e rilascia le linee dati.
7. Infine il dispositivo di I/O, vedendo che DataRdy viene abbassato, disabilita il segnale Ack, indicando così che la trasmissione è completata.

A questo punto può iniziare una nuova transazione sul bus.

FIGURA 8.10 Il protocollo asincrono a stretta di mano richiede sette passi per leggere una parola dalla memoria e trasferirla a un dispositivo di I/O. I segnali in colore sono quelli controllati dal dispositivo di I/O, mentre la memoria controlla i segnali illustrati in nero. Le frecce indicano i sette passi e gli eventi che fanno scattare ogni passo. Con una linea doppia (contemporaneamente alta e bassa) sulle linee dati si indica la presenza di dati validi in quell'istante. (Il simbolo indica che i dati sono validi, ma non se ne conosce il valore.)

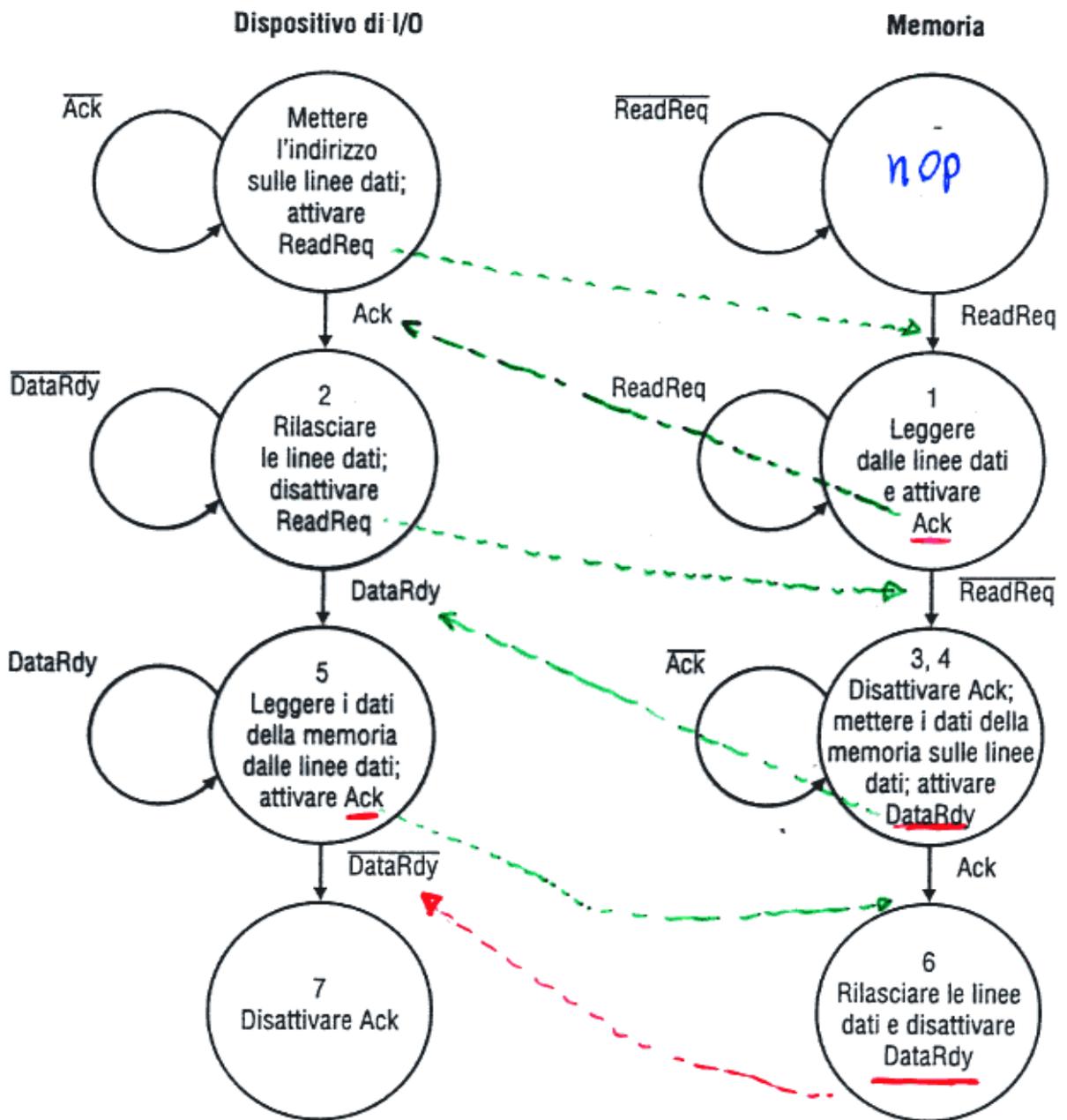
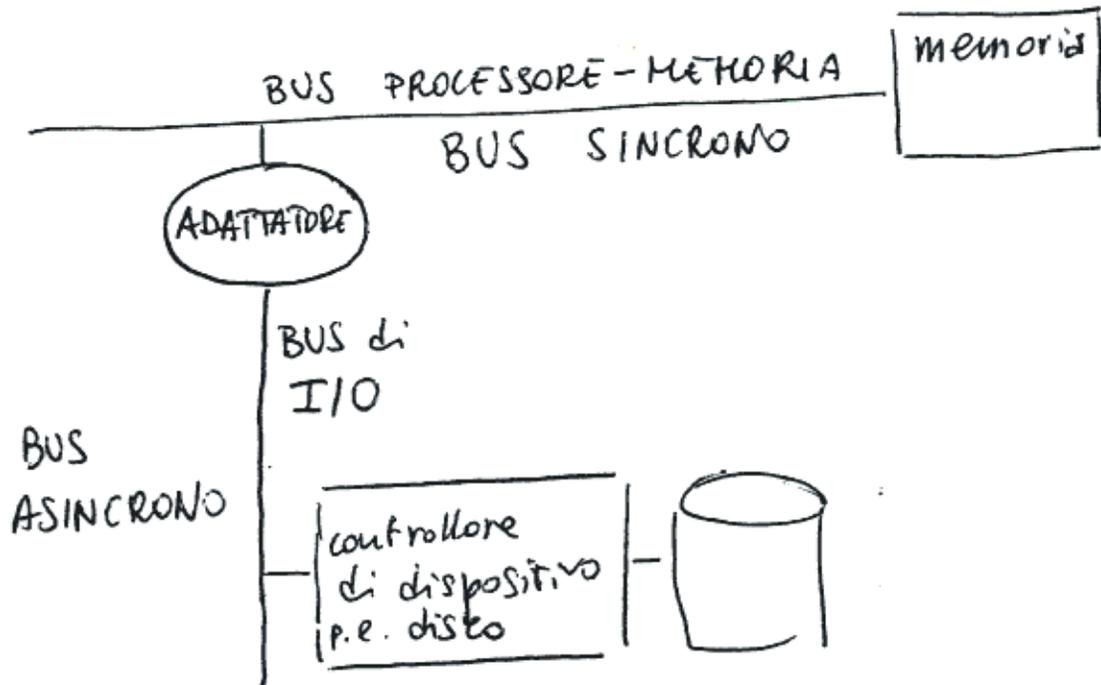


FIGURA 8.11 Queste macchine a stati finiti realizzano il controllo per il protocollo a stretta di mano illustrato nella figura 8.10. I numeri riportati negli stati corrispondono ai passi mostrati nella figura 8.10. Il primo stato del dispositivo di I/O (nell'angolo in alto a sinistra) è quello di partenza del protocollo, proprio come nella figura 8.10. Ogni stato della macchina a stati finiti registra effettivamente lo stato sia del dispositivo che della memoria: è in questo modo che rimangono sincronizzati durante la transazione.

FUNZIONE ADATTATORE DI BUS



BUS PROCESSORE-MEMORIA

DATA-BUS di N bit

EB { MR/MW
WAIT

ADDRESS-BUS

BUS di I/O

DATA-ADDRESS-BUS di M bit

Read Req

Data Rdy

Ack

oppure

oppure

Indirizzo Pronto

Dato Pronto

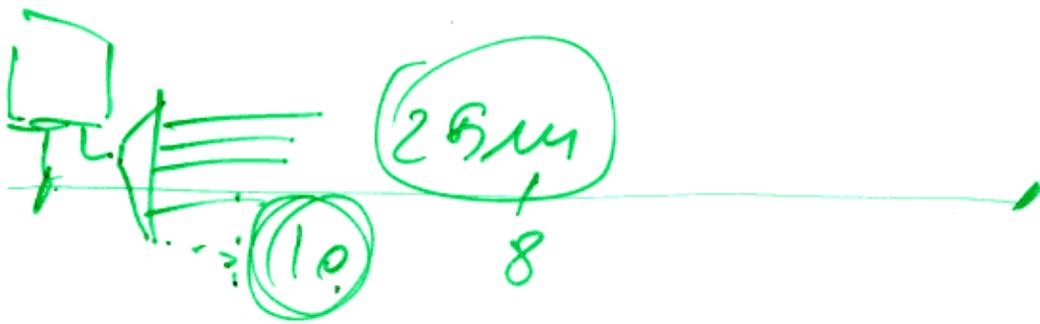
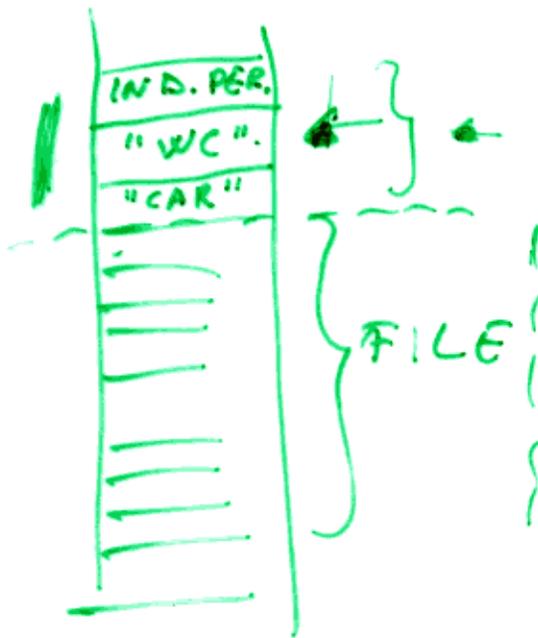
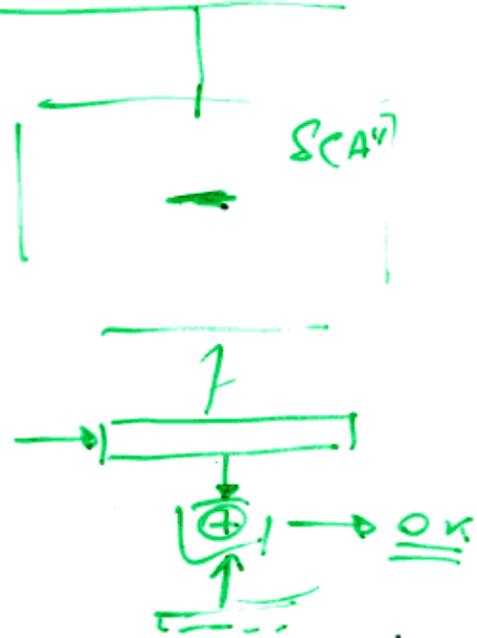
} generati
da
SCO
Adattatore

generato da
SCO
dispositivo

BUS SINCRONO



BUS ASINCRONO



COME SI CALCOLA LA BANDA PASSANTE DI UN BUS SINCRONO/ASINCRONO

Caso SINCRONO

- ck : 50 nsec.
- n° bit bus dati : 32 bit
- tempo accesso memoria : 200 nsec

- ① Mandare indirizzo verso memoria = 50 nsec
- ② Accedere dati in memoria = 200 nsec.
- ③ Mandare dati verso dispositivo = 50 nsec

$$\text{BANDA PASSANTE} = \frac{32 \text{ bit}}{300 \text{ nsec}} = \frac{4 \text{ Byte}}{300 \text{ nsec}} = 13,3 \frac{\text{MB}}{\text{sec.}}$$

Caso ASINCRONO (Fig. 8.10)

- ogni passo del protocollo handshaking in 40 nsec
- n° bit bus dati : 32 bit
- tempo accesso memoria : 200 nsec

- ① Passo 1 : 40 nsec
- ② Passi 2, 3, 4 : $\max(3 \times 40, 200) = 200 \text{ nsec}$
- ③ Passi 5, 6, 7 : $3 \times 40 = 120 \text{ nsec}$

$$\text{BANDA PASSANTE} = \frac{32 \text{ bit}}{360 \text{ nsec}} = \frac{4 \text{ Byte}}{360 \text{ nsec}} = 11,1 \frac{\text{MB}}{\text{sec.}}$$

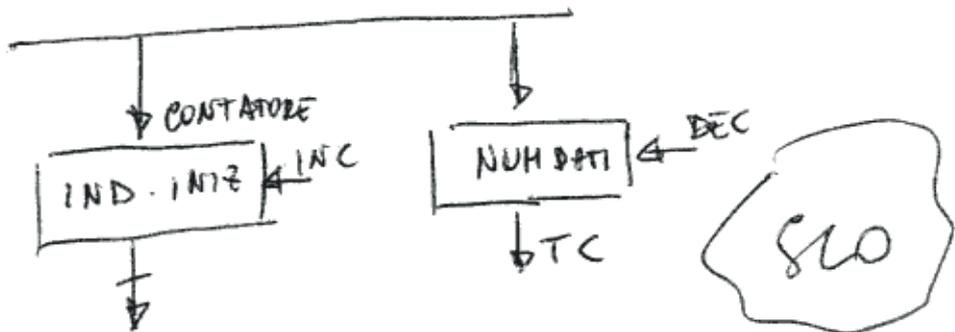
COME INCREMENTARE LA BANDA PASSANTE

- ① ▶ CASO BUS SINCRONO: INCREMENTARE CK DEL BUS (LIMITE DOVUTO ALLO SFASAMENTO)
- ▶ CASO BUS ASINCRONO: INCREMENTARE IL CK DI TUTTI I DISPOSITIVI CHE SI ATTESTANO SUL BUS (LIMITE DOVUTO ALLA ETEROGENEITÀ DEI DISPOSITIVI E ALLA COMPLESSITÀ CIRCUITALE DEI RELATIVI CONTROLLORI)
- ② SUDDIVIDERE I DATI DAGLI INDIRIZZI
- ③ AUMENTARE LA LARGHEZZA DEL BUS DATI
- ④ TRASFERIMENTO A BLOCCHI DELLE PAROLE DI DATI

TRASFERIMENTO A BLOCCHI



se INDIRIZZI CONSECUTIVI



ARBITRAGGIO DEL BUS

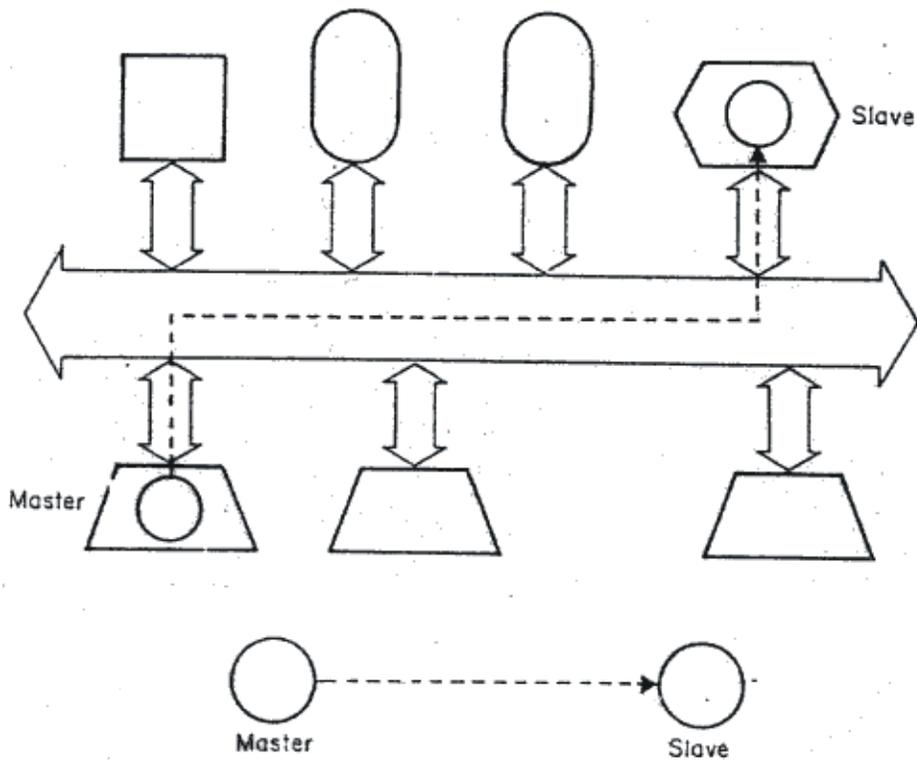
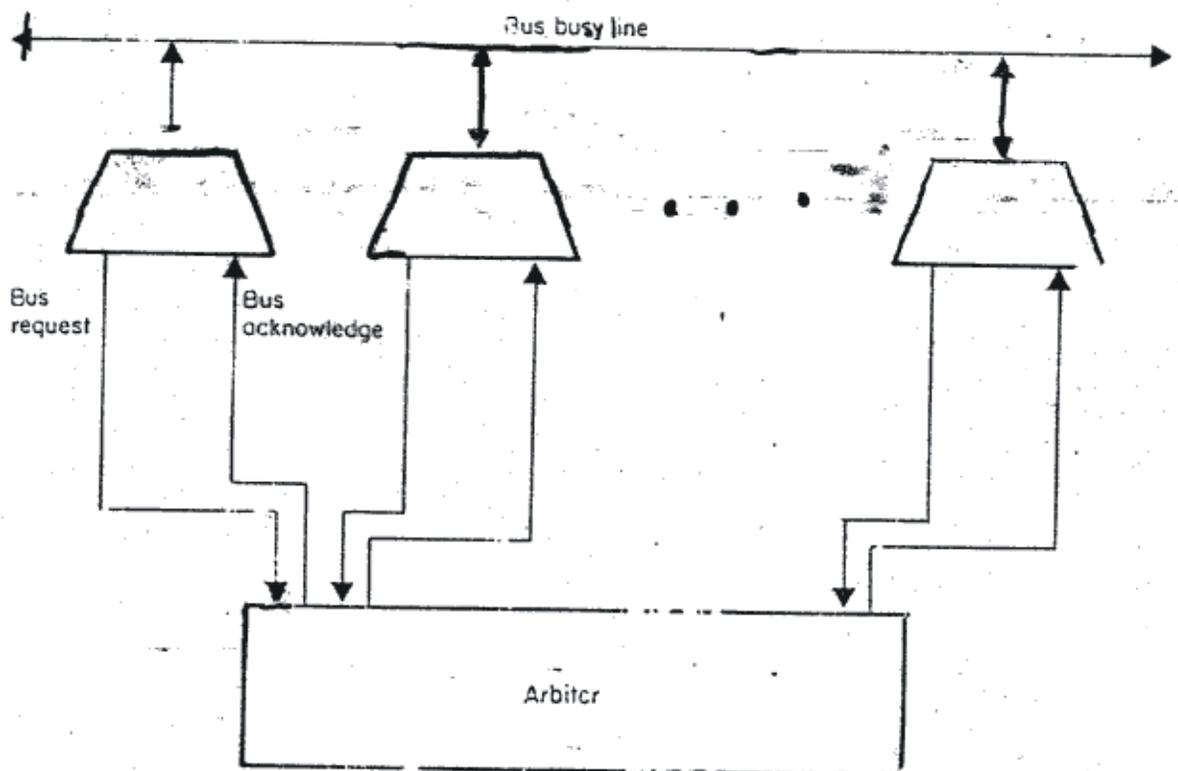


Fig. 4.2 Shared bus.



Bus arbitration.

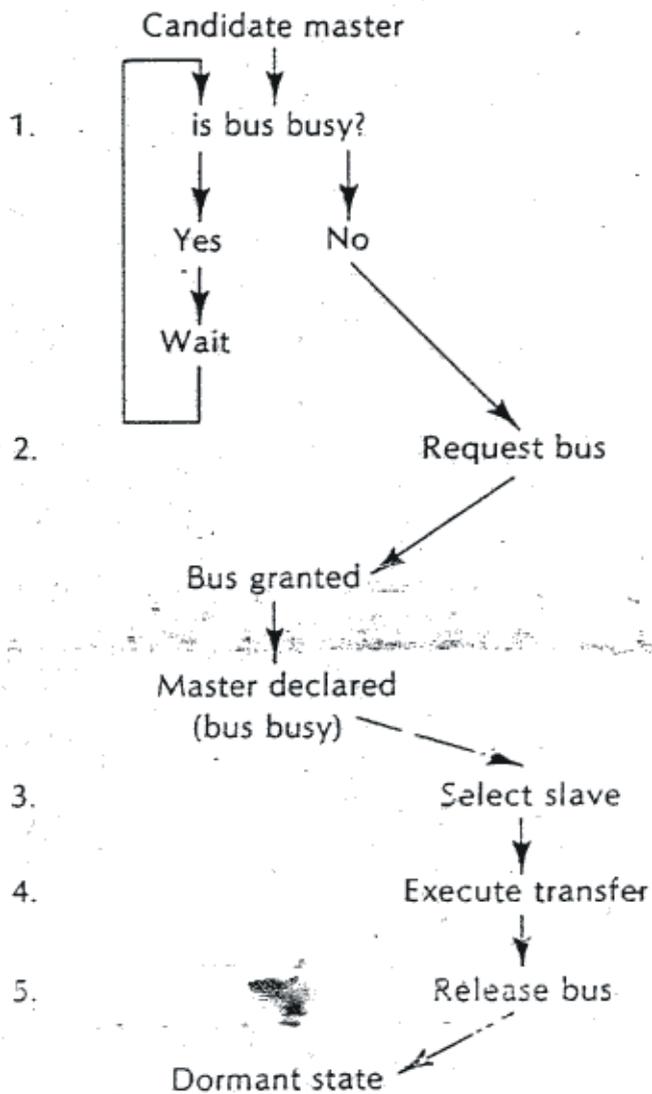


Fig. 4.4 Bus allocation procedure.

TECNICHE/POLITICHE DI ARBITRAGGIO

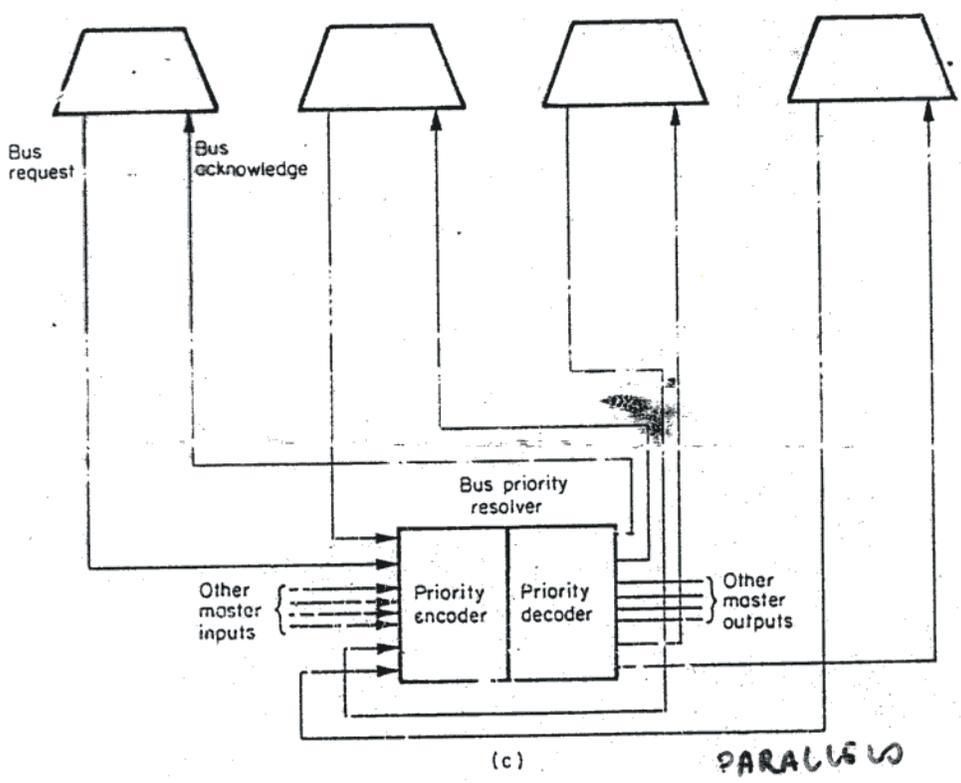
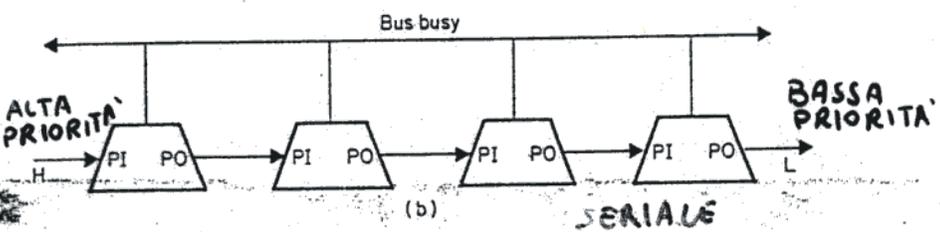
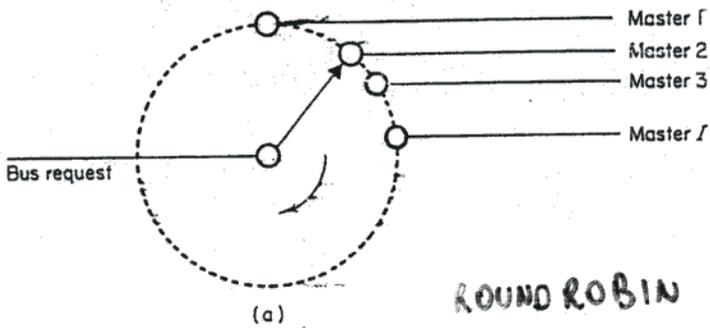
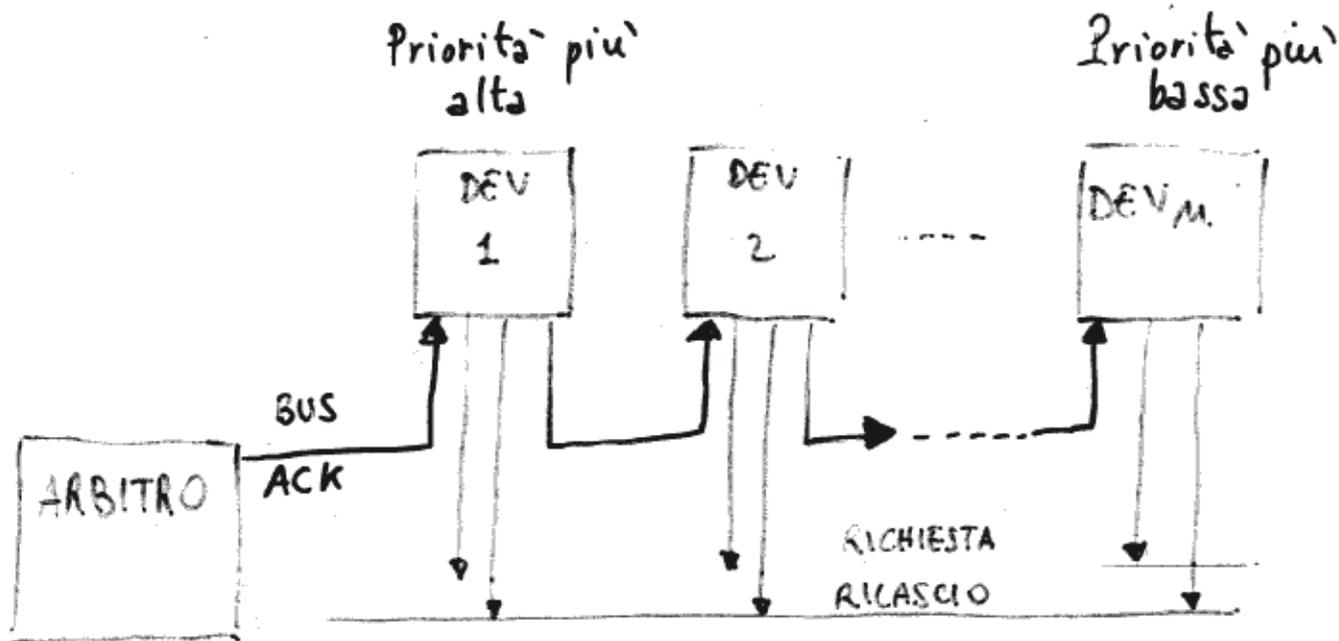


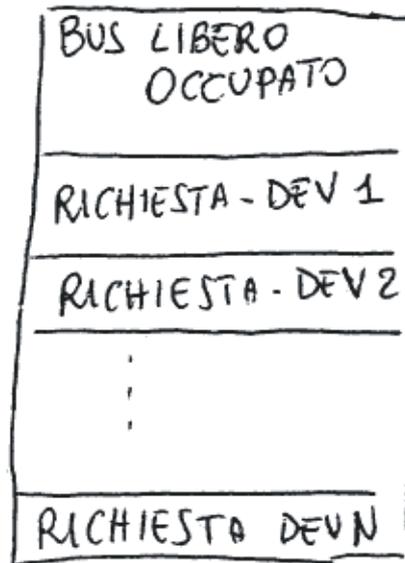
Fig. 4.5 Bus arbitration techniques. (a) Round-robin arbitration. (b) Serial bus arbitration. (c) Parallel bus arbitration.

ARBITRAGGIO A FESTONE DAISY CHAIN

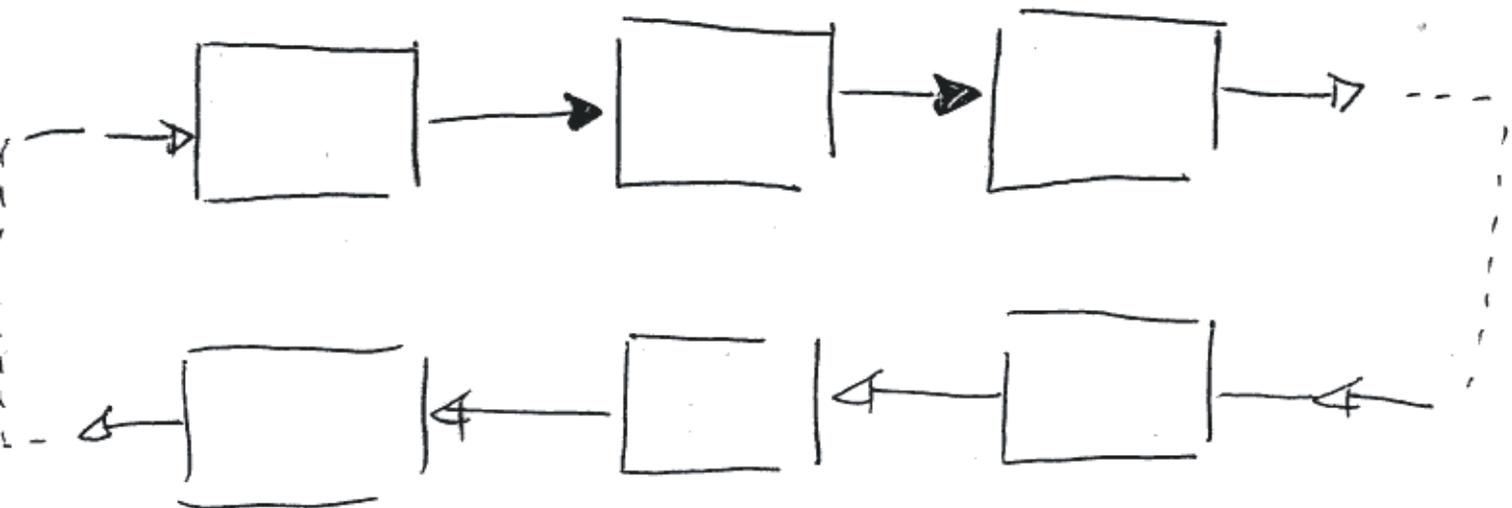


ARBITRAGGIO DISTRIBUITO PER AUTOSELEZIONE

TOKEN



N+1 bit



SCELTA BASATA SU : STATO FLAG. LIB/OCC
STATO DELLE RICHIESTE
LIVELLI DI PRIORITA'

BUS STANDARD

Caratteristiche	Bus VME	NuBus	FutureBus	IPI	SCSI
Tipo di bus	Generico di sistema	Generico di sistema	Generico di sistema	I/O	I/O
Larghezza del bus (segnali)	128	96	96	16	8
Indirizzi/dati condivisi?	Non condivisi	Condivisi	Condivisi	Non applicabile	Non applicabile
Larghezza dei dati (primari)	16-32 bit	32 bit	32 bit	16 bit	8 bit
Numero dei padroni del bus	Multipli	Multipli	Multipli	Singolo	Multipli
Arbitraggio	A festone multiplo	Autoselezione distribuita	Autoselezione distribuita	Non applicabile	Autoselezione
Clock	Asincrono	Sincrono	Asincrono	Asincrono	Entrambi
Banda passante, memoria da 150 ns, parole singole	12,9 MB/s	13,2 MB/s	15,5 MB/s	25,0 MB/s	5,0 MB/s oppure 1,5 MB/s
Banda passante, memoria da 150 ns, parole multiple (lunghezza infinita)	13,6 MB/s	26,4 MB/s	20,8 MB/s	25,0 MB/s	5,0 MB/s oppure 1,5 MB/s
Massimo numero di dispositivi	21	16	20	8	7
Massima lunghezza del bus	0,5 m	0,5 m	0,5 m	50 m	25 m
Nome dello standard	IEEE 1014	pendente	IEEE 896.1	ANSI X3.129	ANSI X3.131

FIGURA 8.15 Caratteristiche chiave di cinque bus standard. I primi tre bus sono bus generici di sistema e gli ultimi due sono bus di I/O. Per i bus generici di sistema, il calcolo della banda passante ipotizza che il bus sia completamente carico e vengono riportati i risultati per trasferimenti sia di una singola parola che di blocchi di lunghezza illimitata; le misure illustrate ipotizzano un tempo di accesso di 150 ns. Tutti questi bus possono effettuare trasferimenti sia di parole singole che di più parole. La banda passante per i bus di I/O è data dalla loro massima frequenza di trasferimento dei dati. Lo standard SCSI offre la possibilità di I/O sia sincrono che asincrono; la versione asincrona trasferisce dati a 1,5 MB/s, mentre quella sincrona arriva a 5 MB/s.

Caratteristica	PCI	SCSI
Tipo di bus	backplane	I/O
Ampiezza base del bus dati (numero di segnali)	32-64	8-32
Indirizzi/dati condivisi?	condivisi	condivisi
Numero di master del bus	molti	molti
Arbitraggio	centralizzato, arbitraggio parallelo	autoselezione
Temporizzazione	sincrono 33-66 MHz	asincrono o sincrono (5-10 MHz)
Ampiezza di banda di picco teorica	133-512 MB/s	5-40 MB/s
Ampiezza di banda stimata raggiungibile per bus base	80 MB/s	2,5-40 MB/s (sincrono) o 1,5 MB/s (asincrono)
Massimo numero di dispositivi	1024 (con segmenti di bus multipli; al più 32 dispositivi per segmento di bus)	7-31 (ampiezza del bus - 1)
Massima lunghezza del bus	0,5 metri	25 metri
Nome dello standard	PCI	ANSI X3.131

Figura 8.15 Caratteristiche chiave di due standard di bus dominanti. Sia lo standard di bus PCI che lo standard SCSI sono stati estesi in maniera significativa. PCI ha una versione con ampiezza doppia (64 bit rispetto a 32) ed una versione veloce (66 MHz rispetto a 33). Il bus SCSI originale era asincrono. Versioni sincrone più veloci sono state poi sviluppate, seguite da estensioni per un bus più ampio (16 e 32 bit rispetto ad 8; queste versioni prendono il nome di *wide SCSI*) e un clock più veloce (10 MHz nella versione *fast SCSI*, rispetto ai 5 MHz del bus SCSI sincrono originale). Il bus *fast wide SCSI* combina una più alta frequenza di clock con una maggiore ampiezza. Inoltre una versione a 20 MHz del bus SCSI (chiamata *Ultra*) è stata sviluppata e rilasciata alla fine del 1996. Le specifiche per questi bus standard sono divenute estremamente complesse: ad esempio il documento che descrive lo standard PCI è lungo 252 pagine, mentre le specifiche dello SCSI-2, che include sia la versione più veloce che quella con maggiore ampiezza, sono lunghe oltre 600 pagine! Le specifiche per lo SCSI-2, una buona panoramica dello SCSI e del suo sviluppo, e la specifica del bus PCI sono disponibili in rete all'indirizzo www.mkp.com/books_catalog/cod/links.htm.

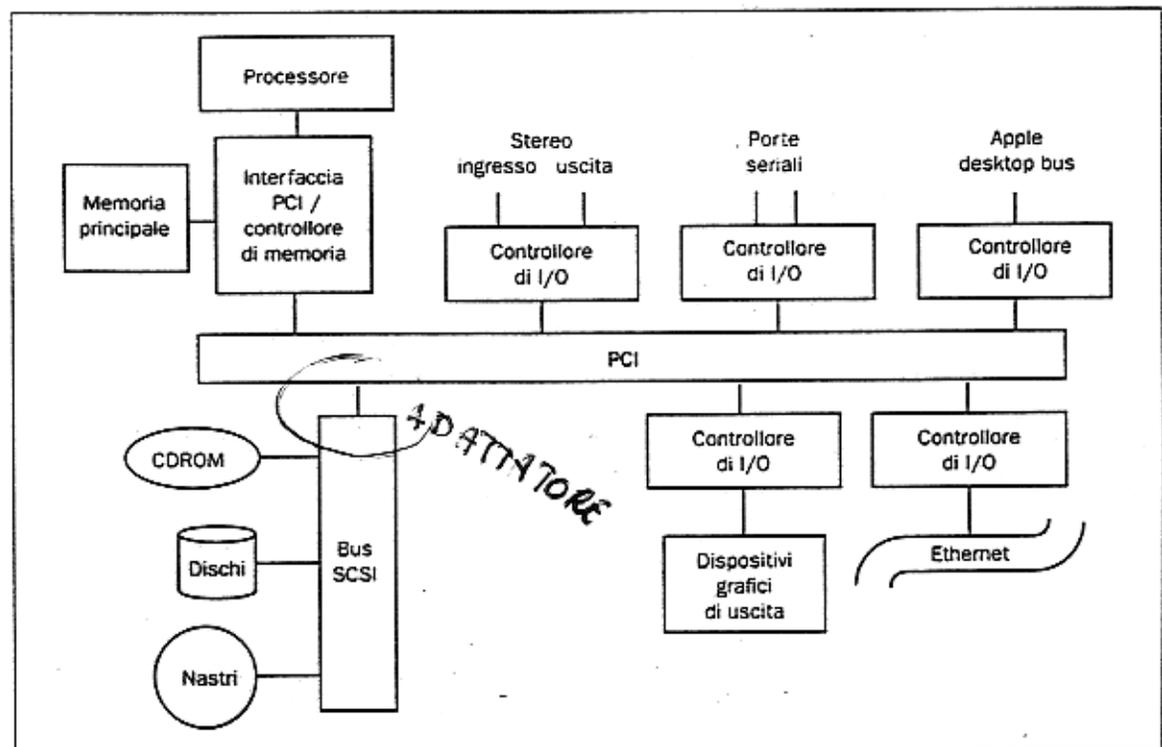


Figura 8.16 Organizzazione del sistema di I/O sugli elaboratori della serie Apple Macintosh 7200. Il bus di backplane PCI è utilizzato per collegare tutti i dispositivi e le interfacce verso il processore ed il sistema di memoria. Le porte seriali permettono le connessioni quali quella verso la rete a bassa velocità Appletalk. Il desktop bus permette di supportare la tastiera ed il mouse. In realtà alcuni dei dispositivi di I/O più lenti (I/O audio, porte seriali e desktop bus) condividono una stessa porta del bus PCI, anche se per semplicità qui vengono mostrati separati.

CONSIDERAZIONI CONCLUSIVE SUL COSTO/PRESTAZIONI DEI BUS

OPZIONI	ALTE PRESTAZIONI	BASSO COSTO
LARGHEZZA del BUS	LINEE DATI & LINEE INDIRIZZI SEPARATE	LINEE DATI & LINEE INDIRIZZI CONDIVISE
LARGHEZZA DATI	PIU' LARGO PIU' VELOCE	PIU' STRETTO PIU' ECONOMICO
DIMENSIONE DEL TRASFERIMENTO	PAROLE MULTIPLE RICHIEDONO MENO OVERHEAD DI SINCRONIZZAZIONE REPERIMENTO DATI	TRASFERIRE UNA SOLA PAROLA E' MENO COMPLESSO
PADRONI DEL BUS	PADRONI MULTIPLI - NECESSITA' ARBITRAGGIO -	PADRONE SINGOLARE - NO ARBITRAGGIO
TIPO BUS	SINCRONO	ASINCRONO

I/O MEMORY MAPPED

32 bit

DATA BUS

32 bit

ADDRESS-BUS

MR/MW

WAIT



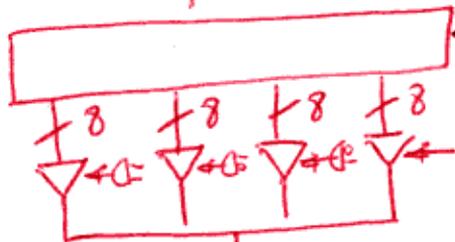
32

1 = perifer
0 = memoria

9 bit più significativi

MW

bit più signif.

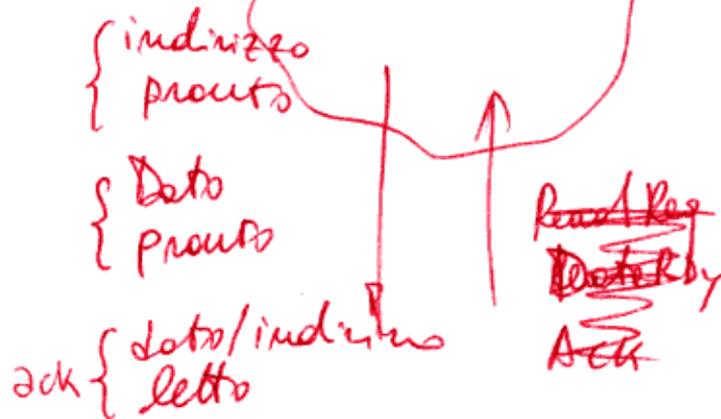


CONT MOD 4

8 bit

da SCS →

8 bit



DATA PRONTO

SCS

{ indirizzo pronto

{ Data pronto

ack { data/indirizzo letto

~~Read Reg~~
~~Data by~~
Ack