

Calcolatori Elettronici 9 CFU
(prof. B. Ciciani / prof. P. Liberatore)
Prova d'esame del 30 Giugno 2010
PROGETTO
I Gruppo

Studente: _____ Matr.: _____

Un processore PD32 è interfacciato a una periferica TIMER programmabile che interrompe il processore ogni X secondi. X è espresso come un byte. Il PD32 è inoltre interfacciato ad altre due periferiche. Una periferica di input FORNISCI, che fornisce dati a 16 bit, ed una periferica di output ALLARME, su cui è possibile scrivere dati ad 8 bit.

Il servizio associato all'interruzione del Timer è il seguente: il PD32 acquisisce in busy-waiting 1024 word dalla periferica FORNISCI e solo dopo aver acquisito tutti i dati, conta il numero di word acquisite che contengono come ultimo bit il valore 1. Se questo valore è:

- minore di 256, il PD32 programma il TIMER per essere interrotto dopo 5 secondi e scrive 0 sul registro della periferica ALLARME.
- compreso tra 256 e 512, il PD32 programma il TIMER per essere interrotto dopo 3 secondi e scrive 1 sul registro della periferica ALLARME.
- maggiore di 512, il PD32 programma il TIMER per essere interrotto dopo 1 secondo e scrive 2 sul registro della periferica ALLARME.

Si ipotizzi che il valore iniziale per la programmazione del TIMER sia 5 secondi.

Il sistema deve essere ciclico, in altre parole il TIMER deve essere riavviato alla fine delle attività precedenti.

Progettare:

- il SCA dell'interfaccia di TIMER, FORNISCI e ALLARME;
- il software di attivazione del sistema e quello del driver.

Il Sottoscritto, ai sensi della legge 675 del 31/12/96, autorizza il Docente a pubblicare in bacheca e su web i risultati della prova di esame. In fede
Firma leggibile: _____

Calcolatori Elettronici 9 CFU
(prof. B. Ciciani / prof. P. Liberatore)
Prova d'esame del 30 Giugno 2010
PROGETTO
II Gruppo

Studente: _____ Matr.: _____

Un processore PD32 è interfacciato a una periferica SVEGLIA programmabile che interrompe il processore ogni N millisecondi. N è espresso come una word. Il PD32 è interfacciato anche ad altre due periferiche. Una periferica di input ACQUISISCI, che fornisce dati a 32 bit ed una periferica di output MOSTRA_STATO, su cui è possibile scrivere dati a 16 bit.

Il servizio associato all'interruzione di SVEGLIA è il seguente: il PD32 acquisisce in busy-waiting 512 longword dalla periferica ACQUISISCI e solo dopo aver acquisito tutti i dati, conta il numero di longword acquisite il cui valore in decimale è superiore a 33. Se questo valore è:

- minore di 128, il PD32 programma SVEGLIA per essere interrotto dopo 100 millisecondi e scrive 0 sul registro della periferica MOSTRA_STATO.
- compreso tra 128 e 256, il PD32 programma SVEGLIA per essere interrotto dopo 50 millisecondi e scrive 128 sul registro della periferica MOSTRA_STATO.
- maggiore di 256, il PD32 programma SVEGLIA per essere interrotto dopo 20 millisecondi e scrive 256 sul registro della periferica MOSTRA_STATO.

Si ipotizzi che il valore iniziale per la programmazione di SVEGLIA sia 100 millisecondi.

Il sistema deve essere ciclico, in altre parole SVEGLIA deve essere riavviato alla fine delle attività precedenti.

Progettare:

- il SCA dell'interfaccia di SVEGLIA, ACQUISISCI e MOSTRA_STATO;
- il software di attivazione del sistema e quello del driver.

Il Sottoscritto, ai sensi della legge 675 del 31/12/96, autorizza il Docente a pubblicare in bacheca e su web i risultati della prova di esame. In fede
Firma leggibile: _____

Calcolatori Elettronici
(prof. B. Ciciani / prof. P. Liberatore)
Prova d'esame del 30 Giugno 2010
TEORIA
I Gruppo

Studente: _____ Matr.: _____

1. Siano XXX le ultime tre cifre del proprio numero di matricola. Convertire in binario, complemento a due a sedici cifre, i seguenti due numeri:

1XXX2
-3XXX4

Sommare i due numeri binari così ottenuti e convertire il risultato in decimale. Mostrare tutti i passaggi.

2. Realizzare la rete sequenziale con un bit d'ingresso e due bit di uscita, i quali valgono inizialmente 00, e che cambiano in 01, 10 e 11 a seconda se sono stati ricevuti uno, due, tre oppure quattro o più uni in ingresso.

3. Disegnare lo schema interno del PD32, mostrando in dettaglio il banco dei registri e quello che c'e' intorno alla ALU e allo shifter. Mostrare inoltre il microcodice corrispondente all'istruzione, considerando la fase di fetch:

LLSL 3,R2

4. Facendo riferimento all'architettura pipeline del MIPS (da disegnare) dire cosa è e quanto vale lo speed-up teorico e spiegare perché non coincide con quello reale.

5. Illustrare (anche con disegni) i meccanismi che permettono a più dispositivi di generare interruzioni a uno stesso processore. Spiegare in quale modo il processore è poi in grado di capire quale di essi ha generato l'interruzione.

Calcolatori Elettronici
(prof. B. Ciciani / prof. P. Liberatore)
Prova d'esame del 30 Giugno 2010
TEORIA
Il Gruppo

Studente: _____ Matr.: _____

1. Siano YYY le ultime tre cifre del proprio numero di matricola. Convertire in binario, complemento a due a sedici cifre, i seguenti due numeri:

$2YYY2$
 $-3YYY3$

Sommare i due numeri binari così ottenuti e convertire il risultato in decimale. Mostrare tutti i passaggi.

2. Realizzare la rete sequenziale con un ingresso e due uscite, le quali valgono inizialmente 11, e che cambiano in 10, 01 e 00 a seconda se sono stati ricevuti uno, due, tre oppure quattro o più zero in ingresso.

3. Disegnare lo schema interno del PD32, mostrando in dettaglio il banco dei registri e quello che c'è intorno alla ALU e allo shifter. Mostrare inoltre il microcodice corrispondente all'istruzione, considerando la fase di fetch:

ARSL 6, R3

4. Spiegare la differenza fra la criticità load-use e define-use. Elencare le possibili soluzioni software e hardware del MIPS, dopodiché descrivere nel dettaglio una soluzione software ed una hardware.

5. Descrivere la differenza tra i bus sincroni e quelli asincroni, dopodiché spiegare nel dettaglio il comportamento di un produttore e di un consumatore durante l'esecuzione di un protocollo di handshaking.