

Calcolatori Elettronici - Corso di Laurea in Ingegneria Gestionale
Appello d'esame del 24/6/2008 – Docente: Emiliano Trevisani

Cognome		Matricola	
Nome			

- È possibile usare esclusivamente una penna ed una calcolatrice.
 - Si prega di scrivere in modo corretto e **LEGGIBILE**.
 - Utilizzare solo gli spazi messi a disposizione per ogni domanda.
 - Al termine della prova consegnare **SOLO** questi fogli stampati.
 - Chi copia o consulta appunti sarà espulso dall'aula.
-

Quesito 1.

Si considerino le 2 funzioni di commutazione f_1 e f_2 a 4 variabili rappresentate dalle seguenti tabelle di verità.

- a. Sintetizzare a due livelli di logica il circuito minimo per ciascuna delle due funzioni.
- b. Sintetizzare a PLA le due funzioni.

x_3	x_2	x_1	x_0	f_1
0	0	0	0	-
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	-
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	-
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

x_3	x_2	x_1	x_0	f_2
0	0	0	0	-
0	0	0	1	-
0	0	1	0	0
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	-
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	-
1	0	1	1	-
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

(continua quesito 1)

(continua quesito 1)

Quesito 2.

Ipotizzando di avere a disposizione banchi SRAM 16K x 8 e **porte logiche di base** (attenzione: un decoder NON è una porta logica di base):

- a. Mostrare lo schema implementativo di una SRAM 32 K x 8 utilizzando l'approccio per il quale parole di memoria successive si trovano generalmente nello stesso modulo 16K x 8; in particolare, evidenziare:
 - l'interconnessione tra i segnali we (write enable), cs (chip select) e oe (output enable) del modulo risultante 32K x 8 con quelli omologhi dei singoli moduli 16K x 8
 - l'interconnessione tra l'uscita dati, l'ingresso dati e l'ingresso indirizzi del modulo risultante 32K x 8 con gli omologhi dei singoli moduli 16K x 8; specificare la dimensione in bit delle singole linee.
- b. Con riferimento al modulo risultante 32K x 8, si supponga di voler eseguire un'operazione di scrittura del byte 0xFF alla locazione di memoria 1000000000000000. Specificare il valore di ciascuno degli ingressi del modulo [dati, indirizzi, segnali di controllo]

(continua quesito 2)

Quesito 3.

Con riferimento alle memorie cache si descriva il problema del posizionamento di un blocco. Dettagliare le 3 strategie:

1. “indirizzamento diretto”
2. “completamente associativa”
3. “set associativa a n vie”

In particolare:

- spiegare in che senso le strategie 1 e 2 possono essere considerate casi particolari della strategia 3
- spiegare in che senso la strategia 1 può introdurre “spreco di risorse” rispetto alla strategia 2.

Quesito 4.

Si descrivano le tre modalità di gestione delle operazioni di I/O:

- I/O programmato
- I/O pilotato da interruzioni
- Accesso diretto alla memoria [DMA]

In particolare, illustrare il ruolo svolto dalla CPU per ciascuna delle tre modalità.

Quesito 5. [Quesito progettuale]

Si mostri lo schema implementativo di un MUX 8-3 utilizzando unicamente MUX 4-2, buffers three-state e porte logiche di base.

N.B. Si ricorda che la notazione MUX 2^n -n indica un MUX con n ingressi di controllo e 2^n ingressi controllati

Il Sottoscritto, ai sensi della legge 675 del 31/12/96, autorizza il Docente a pubblicare sul web i risultati della prova d'esame.

In fede

Firma leggibile _____