

Calcolatori Elettronici - Corso di Laurea in Ingegneria Gestionale  
Appello d'esame del 15/07/2008 – Docente: Emiliano Trevisani

Cognome		Matricola	
Nome			

- È possibile usare esclusivamente una penna ed una calcolatrice.
  - Si prega di scrivere in modo corretto e LEGGIBILE.
  - Utilizzare solo gli spazi messi a disposizione per ogni domanda.
  - Al termine della prova consegnare SOLO questi fogli stampati.
  - Chi copia o consulta appunti sarà espulso dall'aula.
- 

**Quesito 1.**

Disegnare il circuito logico **minimo** che implementa la funzione di commutazione che assume valore 1 per tutti i numeri compresi tra 0 e 20 (inclusi) appartenenti alla successione di Fibonacci (0,1,2,3,5,8,13) ed il valore 0 per gli altri numeri **nello stesso intervallo**.

**(continua quesito 1)**

**Quesito 2.**

Con riferimento alle tecniche di partizionamento della memoria, illustrare il meccanismo di **paginazione**. In particolare:

- a. Evidenziare il ruolo di un eventuale **TLB**
- b. Illustrare come questo meccanismo può utilizzato in combinazione con l'approccio a "memoria virtuale" [**memoria virtuale paginata**]

(continua quesito 2)

**Quesito 3.**

Si consideri un sistema di  $n$  reti **combinatorie**  $[R_1, R_2, \dots, R_n]$  connesse in cascata con tempi di calcolo rispettivamente  $T_1, T_2, \dots, T_n$ .

- a. Definire l'approccio **pipeline** e schematizzarne l'architettura corrispondente.
- b. Indicare esplicitamente:
  - il parametro che viene migliorato e quello che viene penalizzato rispetto all'assenza di pipeline; per entrambi i parametri fornire l'espressione analitica
  - la relazione analitica tra il clock di sistema ed i tempi  $T_1, T_2, \dots, T_n$ , ignorando i tempi di commutazione dei registri di pipeline

**(continua quesito 3)**

**Quesito 4.**

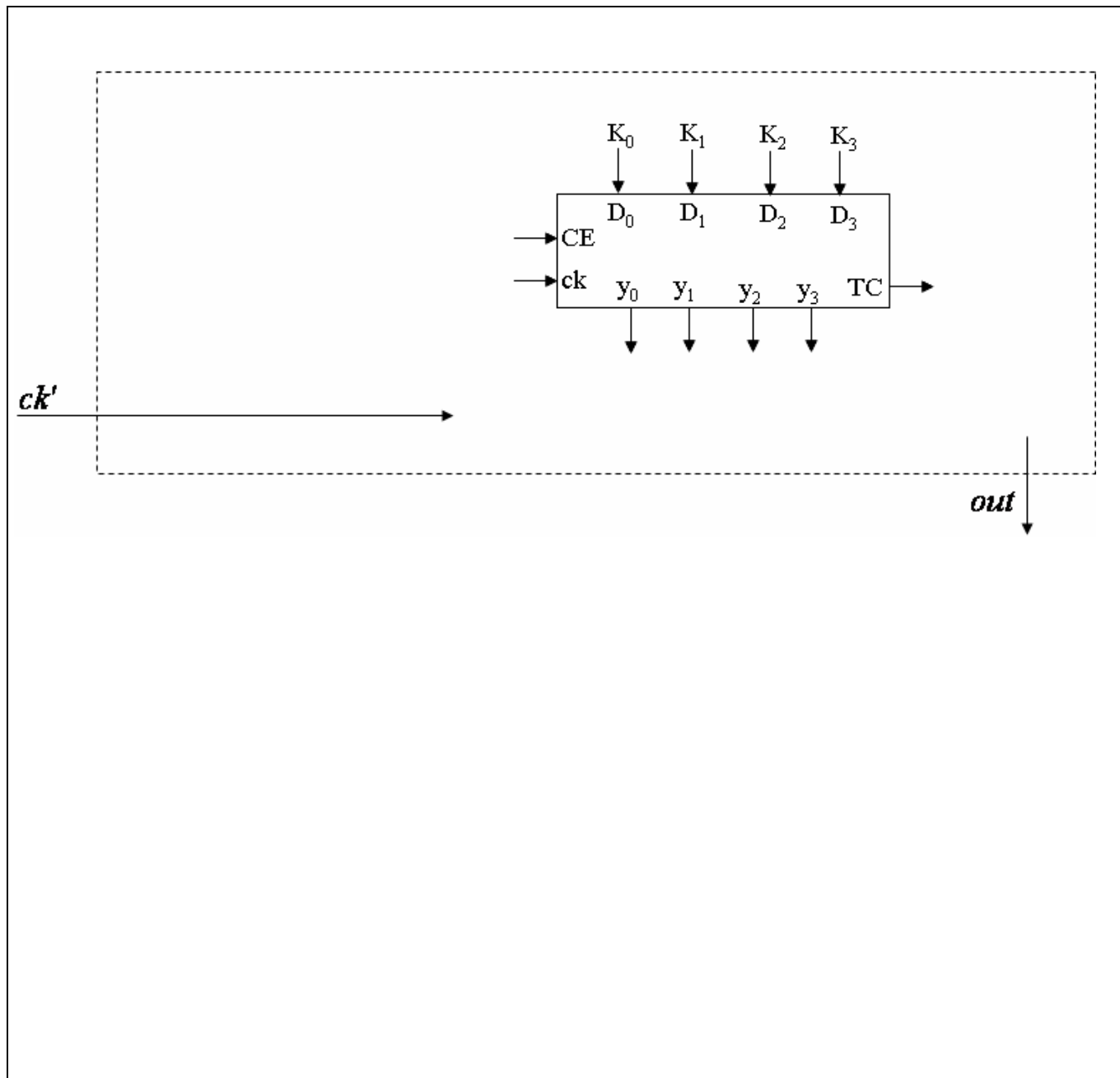
Si consideri una cache 2 way-associative con 8 locazioni, politica di sostituzione **LFU** e strategia di scrittura **write back**. Supponendo la cache inizialmente vuota, mostrarne l'evoluzione del contenuto nel tempo e gli eventi di **hit** e **miss** a seguito della seguente sequenza di accessi [letture] in memoria: 110110, 001100, 110011, 001100, 111000, 101100, 111111, 111111, 110111. Descrivere inoltre cosa succede nei 2 casi alternativi:

- a. ulteriori 3 accessi in memoria agli indirizzi 110110 [**scrittura**], 111110 [lettura], 000110 [lettura]
- b. ulteriori 5 accessi in memoria agli indirizzi 110110 [**scrittura**], 111110 [lettura], 111110 [lettura], 111110 [lettura], 000110 [lettura]

**Quesito 5. [Quesito progettuale]**

La figura seguente mostra un contatore binario down **modulo 10** con ingresso di abilitazione al conteggio *CE*; si consideri inoltre il segnale di clock *ck'* imposto dall'esterno.

- a. Indicare il valore di ciascuna delle costanti  $K_i$ ,  $i \in \{0,1,2,3\}$ .
- b. **Disponendo unicamente di reti sequenziali di base**, completare il circuito in modo che appaia dall'esterno [linea tratteggiata] come un "contatore di impulsi di clock", in grado di produrre un segnale d'uscita = 1 [indicato come *out*] **ogni 40 impulsi del clock *ck'***.



**Il Sottoscritto, ai sensi della legge 675 del 31/12/96, autorizza il Docente a pubblicare sul web i risultati della prova d'esame.**

**In fede**

**Firma leggibile** \_\_\_\_\_