



**La Sapienza**

Università degli Studi di Roma

Dipartimento di Informatica e Sistemistica

# CALCOLATORI ELETTRONICI

## Esame Tipo

**Emiliano Trevisani**

**[trevisani@dis.uniroma1.it](mailto:trevisani@dis.uniroma1.it)**

**A.A. 2007/2008**

## Esame tipo



### Quesito 1

Con riferimento alla modalità di esecuzione delle istruzioni di una CPU:

- si descrivano brevemente i due approcci principali evidenziandone vantaggi e svantaggi;
- si descriva brevemente il concetto di microprogrammazione specificando in quale dei due approcci precedenti può essere inquadrato

## Esame tipo



### Quesito 2

Con riferimento al componente “buffer three-state”:

- si definisca il componente
- il componente può essere considerato una porta logica? [nel senso: realizza un operatore logico?]
- si discuta brevemente l'utilità del componente
- supponendo che l'ingresso del componente sia a livello logico 1 definire l'uscita dello stesso in corrispondenza dei due valori possibili per l'ingresso di controllo [1 oppure 0]

## Esame tipo



### Quesito 3

Si consideri la funzione di commutazione a 5 variabili rappresentata dalla seguente tabella di verità:

$x_4$	$x_3$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	0	<b>1</b>
0	0	0	0	1	<b>1</b>
0	0	0	1	0	-
0	0	0	1	1	<b>1</b>
0	0	1	0	0	<b>0</b>
0	0	1	0	1	-
0	0	1	1	0	-
0	0	1	1	1	<b>0</b>
0	1	0	0	0	<b>1</b>
0	1	0	0	1	<b>1</b>
0	1	0	1	0	-
0	1	0	1	1	-
0	1	1	0	0	<b>0</b>
0	1	1	0	1	<b>1</b>
0	1	1	1	0	<b>0</b>
0	1	1	1	1	<b>0</b>

$x_4$	$x_3$	$x_2$	$x_1$	$x_0$	$y$
1	0	0	0	0	<b>1</b>
1	0	0	0	1	<b>1</b>
1	0	0	1	0	<b>1</b>
1	0	0	1	1	<b>0</b>
1	0	1	0	0	-
1	0	1	0	1	<b>1</b>
1	0	1	1	0	<b>0</b>
1	0	1	1	1	<b>0</b>
1	1	0	0	0	<b>0</b>
1	1	0	0	1	<b>1</b>
1	1	0	1	0	-
1	1	0	1	1	<b>0</b>
1	1	1	0	0	-
1	1	1	0	1	<b>1</b>
1	1	1	1	0	<b>0</b>
1	1	1	1	1	<b>0</b>

Individuare un'espressione minima della funzione e sintetizzare il circuito corrispondente.

## Esame tipo



### Quesito 4

Si consideri una cache 4 way-associative con 8 locazioni e politica di sostituzione LRU. Mostrare l'evoluzione del contenuto della cache nel tempo a seguito della seguente sequenza di accessi in memoria:

110010, 001100, 111000, 110100, 111111, 110010, 100001, 111000, 000010, 001100,  
110010, 110100

## Esame tipo



### Quesito 5

Si mostri lo schema implementativo di un decoder 3:8 con ingresso di abilitazione utilizzando unicamente decoder 2:4 con ingresso di abilitazione e porte logiche di base.